

# METHOD FOR DRIVING PLASMA DISPLAY PANEL

Publication number: JP10319901

Publication date: 1998-12-04

Inventor: GUEN TAN NYAN; KONDO NOBUYOSHI; OTSUKA AKIRA

Applicant: FUJITSU LTD

Classification:

- international: G09G3/28; G09G3/20; G09G3/28; G09G3/20; (IPC1-7): G09G3/28

- European:

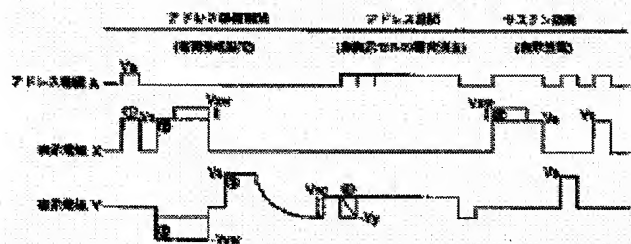
Application number: JP19980068626 19980318

Priority number(s): JP19980068626 19980318; JP19970065094 19970318

Report a data error here

## Abstract of JP10319901

**PROBLEM TO BE SOLVED:** To stably drive a PDP at high speed by means of erasing address by forming uniform wall electric charges for all cells before address discharge by optimization of an electric charge forming technique. **SOLUTION:** In this method for driving a plasma display panel in which pixels constituted of pairs of a sustaining electrode pair and an address electrode are arranged in a matrix state, uniform electric charges are formed on all pixels by leaving electric charges at the time of sustain-discharge as it is for pixels sustain-discharged in a before SF(sub-field), and forming new electric charges and adjusting quantity of electric charges for pixels which are not sustain-discharged in a before SF. After that, after address discharge for eliminating electric charges from a sustain-electrode of a pixel being not desired to display is performed, sustain-discharge is performed by a sustain-electrode pair.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-319901

(43)公開日 平成10年(1998)12月4日

(51)Int.Cl.<sup>6</sup>

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

H

E

K

審査請求 未請求 請求項の数19 O L (全 15 頁)

(21)出願番号 特願平10-68626

(22)出願日 平成10年(1998)3月18日

(31)優先権主張番号 特願平9-65094

(32)優先日 平9(1997)3月18日

(33)優先権主張国 日本(J P)

(71)出願人 000003223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 グェン タン ニヤン

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 近藤 信義

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 大塚 晃

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 弁理士 野河 信太郎

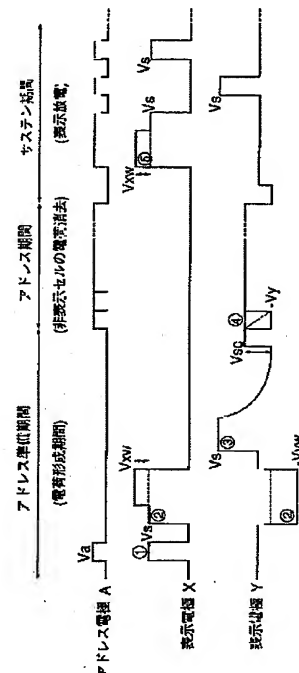
(54)【発明の名称】 プラズマディスプレイパネルの駆動方法

(57)【要約】

【課題】 消去アドレスによるPDPの駆動方法に関し、電荷形成手法の最適化により、アドレス放電の前に全セルに対して均一な壁電荷を形成し、これにより高速かつ安定な駆動を行う。

【解決手段】 サステイン電極対とアドレス電極との組で構成される画素をマトリクス状に配列してなるプラズマディスプレイパネルの駆動方法であって、前SF(サブフィールド)にサステイン放電された画素についてはサステイン放電時の電荷をそのまま残し、前SFにサステイン放電されなかった画素については新たな電荷を形成してその電荷量を調整することにより全画素に均一な電荷を形成し、その後、表示したくない画素のサステイン電極上から電荷を除去するためのアドレス放電を行った後、サステイン電極対でサステイン放電を行う。

消去アドレス駆動法による各電極への印加電圧パルス波形を示す説明図



## 【特許請求の範囲】

【請求項1】 壁電荷によるメモリ機能を有する複数の放電セルがマトリクス状に配列されたプラズマディスプレイパネルに画像データを書き込むための駆動方法であって、

画像を表示する際に、その画像表示面全体の放電セルに壁電荷を形成するアドレス準備ステップと、壁電荷が形成された全放電セル中の点灯したくない非選択放電セルに対して当該壁電荷を消去するアドレスステップとからなり、

前記アドレス準備ステップは、画像データを書き込む前に放電が維持されたオン状態の放電セルのみで放電を生じさせて壁電荷の極性を反転させる第1処理と、画像データを書き込む前に放電が維持されていないオフ状態の放電セルのみで放電を生じさせて前記オンセルと同一極性の壁電荷を生じさせる第2処理とから構成されることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 壁電荷によるメモリ機能を有する複数の放電セルが集合されて画像表示用の画面を構成したプラズマディスプレイパネルの駆動方法であって、

前記画面の全放電セルに対してメモリ機能を持たせるための壁電荷を選択的に形成して画像データの書き込みを行うアドレス操作と、画面の全放電セルに対して前記壁電荷の形成された放電セルを放電して表示させるサステイン操作とを少なくとも含んでなり、

前記アドレス操作が、画像データを書き込む前の表示画面において放電が維持されたオン状態の放電セルのみで放電を生じさせて壁電荷の極性を反転させる第1ステップと、画像データを書き込む前に放電が維持されていないオフ状態の放電セルのみで放電を生じさせて前記オンセルと同一極性の壁電荷を生じさせる第2ステップとによって全放電セルに壁電荷を形成するアドレス準備を行った後、表示すべき画像データに対応する放電セル以外の放電セルの壁電荷を選択的に消去する操作を加えることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項3】 プラズマディスプレイパネルが、誘電体層で覆われた複数の表示ラインに対応した複数の平行なサステイン電極対と、その各サステイン電極対と交差する方向の複数のアドレス電極とを、間に放電空間を介して対向配置し、それら電極の交点にマトリクス状に配列された複数の放電セルを構成している請求項1または2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 第1処理が、全ての放電セルのサステイン電極対に、放電を維持するためのサステイン電圧より高い電圧を印加することからなる請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 第1処理での電圧が、波高値がサステイン電圧から段階的に増大する段階波電圧パルスである請求項4記載のプラズマディスプレイパネルの駆動方法。

【請求項6】 第2処理が、加算した実効値が放電可能な電圧となるようなプラス極性とマイナス極性の電圧をサステイン電極対に印加することからなる請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 第2処理での電圧の印加が、プラス極性のサステイン電極に対して、波高値が段階的に増大する段階波電圧パルスを印加することからなる請求項6記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 第2処理での電圧の印加が、プラス極性のサステイン電極に対して、波高値が徐々に増大する鈍波電圧パルスを印加することからなる請求項6記載のプラズマディスプレイパネルの駆動方法。

【請求項9】 第2処理が、放電を維持するためのサステイン電圧の約2倍の電圧をサステイン電極対の一方に印加することからなる請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項10】 第2処理の後、各サステイン電極対の電位をゼロにして画像データを書き込む前に放電が維持されていないオフ状態の放電セルに自己消去放電を行わせ、その自己消去放電が終了しない間に、サステイン電極対の一方に壁電荷形成用の電圧を印加し、それによって自己消去放電を強制的に止めて壁電荷の再形成を行う第3処理をさらに含んでなる請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項11】 第3処理において壁電荷形成用の電圧を印加した後、その電圧を徐々に下げてゆくことを特徴とする請求項10記載のプラズマディスプレイパネルの駆動方法。

【請求項12】 第2処理において電圧を印加した後、プラス極性の電圧のみを徐々にゼロ電位まで下げることを特徴とする請求項6記載のプラズマディスプレイパネルの駆動方法。

【請求項13】 第2処理において電圧を印加した後、マイナス極性の電圧のみを徐々にゼロ電位まで下げることを特徴とする請求項6記載のプラズマディスプレイパネルの駆動方法。

【請求項14】 第2処理において電圧を印加した後、プラス極性とマイナス極性の双方の電圧を徐々にゼロ電位まで下げることを特徴とする請求項6記載のプラズマディスプレイパネルの駆動方法。

【請求項15】 アドレスステップの期間中、サステイン電極対のスキャン側になる一方の電極に、アドレス準備ステップで形成された壁電荷と逆極性の電圧を印加し、それによって半選択の放電セルでの放電を防ぐことを特徴とする請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項16】 スキャン側のサステイン電極に印加する電圧が、第2処理による壁電荷の形成直後から立ち上がり、かつアドレス期間終了時に立ち下がるパルス電圧波形であることを特徴とする請求項15記載のプラズマ

ディスプレイパネルの駆動方法。

【請求項17】 サスティン操作期間において、全ての放電セルに周期的に印加するサスティン電圧パルス群のうち最初のサスティン電圧パルスの波高値を他のサスティン電圧パルスの波高値より高くすることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項18】 サスティン操作期間において、全ての放電セルに周期的に印加するサスティン電圧パルス群のうち最初のサスティン電圧パルスのパルス幅を他のサスティン電圧パルスのパルス幅より長くすることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項19】 壁電荷によるメモリ機能を有する複数の放電セルが集合されて画像表示用の画面を構成したプラズマディスプレイパネルの駆動方法であって、前記画面の表示内容を更新する際に、表示すべき画像データに応じた消去アドレス処理が行われ、その消去アドレス処理は、更新前の表示画面において放電が維持されたオン状態の放電セルのみで放電を生じさせて壁電荷の極性を反転させる第1ステップと、更新前の表示画面におけるオンセル以外の放電セルであるオフ状態の放電セルのみで放電を生じさせて前記オンセルと同一極性の壁電荷を生じさせる第2ステップとによって全放電セルに壁電荷を形成するアドレス準備を行った後、表示すべき画像データに対応する放電セル以外の放電セルの壁電荷を選択的に消去する操作を加えることを特徴とするプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、テレビやコンピュータの表示端末などに用いられるプラズマディスプレイパネル(PDP)の駆動方法に関する。

【0002】

【従来の技術】近年、PDPは、そのカラー化や大型化により、テレビ表示が可能なフルカラーの大型フラットディスプレイとして注目されている。このような大型壁掛け式テレビの実現のためには、パネルのさらなる大画面化や精細化とともに長期にわたる安定な動作が必要である。

【0003】一般に、PDPには、AC駆動形式とDC駆動形式のものが知られている。AC駆動形式は、DC駆動形式に比べコントラストや階調がとりづらいいという面はあるものの、構造が簡単で、精細な表示ができ、輝度が高い等の利点を持つ。

【0004】また、PDPには、電極構造の違いにより、対向放電型と面放電型のものがある。対向放電型PDPには、放電面に直接蛍光体が形成されるため安定動作に欠け、放電中に発生するイオン衝撃のために蛍光体が短時間に劣化し輝度が低下する等の難点がある。面放

電型PDPは、この点の解消を図ったもので、一方の基板上に面放電を発生させる電極を形成し、もう一方の基板上に蛍光体を形成する構造であり、このため、蛍光体の劣化を防止し、安定な放電特性が得られる。

【0005】このようなPDPの内、AC駆動形式の面放電型PDPの代表的なものとして、3電極面放電型PDPが知られており、この3電極面放電型PDPを例に挙げて、従来のPDPを説明する。

【0006】AC駆動形式の3電極面放電型PDPは、構造的には、2枚のガラス基板間に、誘電体層で覆われた対となる平行な2本のサスティン電極(「表示電極」ともいう)とそれらに交差する1本のアドレス電極(「選択電極」ともいう)との組で構成される画素(「セル」または「放電セル」ともいう)をマトリクス状に配列して、1画面を構成する。

【0007】そして、駆動法は、1画面の表示期間(1フレーム、あるいは1フレームが複数のフィールドからなる場合には1フィールド、あるいは1フィールドがさらに複数のサブフィールドからなる場合には1サブフィールド、以後、単に「1サブフィールド」ともいう)を、1画面にわたり時間的に共通の、特定のセルのサスティン電極上だけに壁電荷を形成させるためのアドレス放電を行うアドレス期間と、壁電荷の形成されたサスティン電極間でサスティン放電(「表示放電」ともいう)を行うサスティン期間(「表示期間」ともいう)とに分離し、アドレス期間で、サスティン電極の内の一本とアドレス電極とでセルを選択するためのアドレス放電を行い、サスティン期間で、選択されたセルのサスティン電極間でサスティン放電を行うことにより、1画面を表示するようにしている。

【0008】このようなPDPの駆動において、特定セルをアドレスする方法として、書込みアドレス駆動法と消去アドレス駆動法との2つの方法が存在する。書込みアドレス駆動法では、各サブフィールド(以後、サブフィールドを「SF」と略すこともある)の最初に、1画面内の全セルをリセットし(0を書込み)、その後、アドレス期間で選択セル(表示セル)のみにアドレス放電を行わせ、サスティン期間で選択セルをサスティン放電させる。すなわち、各SFの最初に、全てのセルの残留電荷を0にする初期化(具体的には全セルをいったん点灯し電荷を蓄積させてから直ちにその蓄積電荷を消去するリセット処理)を行った後、選択セルに対してのみ壁電荷を形成するためのアドレス放電(これを書込みアドレス放電という)を発生させ、その後、選択セルの壁電荷を維持させるためのサスティン期間に移行する。

【0009】一方、消去アドレス駆動法では、各SFの最初にアドレス準備として、全セルを点灯させ(1を書込み)、その後、アドレス期間で非選択セル(非表示セル)のみにアドレス放電を行わせ、サスティン期間で選択セルをサスティン放電させる。すなわち、各SFの最

初に、全てのセルに壁電荷を形成する初期化を行った後、非選択セルに対してのみアドレス放電で壁電荷を取り去り（これを消去アドレス放電という）、その後、選択セルの壁電荷を維持させるためのサステイン期間に移行する。

【0010】なお、このようなAC駆動形式の3電極面放電型PDPで、書込みアドレス駆動法を用いたものとしては、特開平7-160218号公報に記載のものが知られている。

【0011】また、AC駆動形式の3電極面放電型PDPで、消去アドレス駆動法を用いたものとしては、特開昭60-196797号公報や、特開昭61-39341号公報、あるいは特開平8-101665号公報に記載のものなどが知られている。

【0012】

【発明が解決しようとする課題】上記の書込みアドレス駆動法では、直前のSFのサステイン期間における残留電荷を初期化してから書込みアドレス放電を行う。したがって、放電におけるプライミング（種火）効果を利用することができず、高い書込み電圧を必要とする。また、放電確率も低下してしまうため、書込みパルスを長くせざるを得ない。そのため、高表示品位のための高速駆動に限界があり、また高耐圧の駆動ドライバが必要なため、高コストである、という問題がある。

【0013】これに対して、消去アドレス駆動法では、各SF毎に全てのセルをいったん点灯させるため、コントラストの点では書込みアドレス駆動法と比較して大差ないものの、それに勝る長所として、壁電荷の種火効果を利用することができ、これによりアドレス期間の短縮化を図り、高速駆動が実現できる、ということが知られている。

【0014】しかしながら、表示の際に全てのサステイン電極に対して同じ電圧を印加しても、放電しやすいセルと放電しにくいセルがあり、このセルの電圧特性のバラツキにより、均一な壁電荷の形成が困難であることや、壁電荷の利用による温度特性が悪いことから、消去アドレス駆動法を用いた実用的なPDPの開発は積極的には行われていなかった。

【0015】この発明は、このような事情を考慮してなされたもので、電荷形成手法の最適化により、アドレス放電の前に全セルに対して均一な壁電荷を形成し、これにより高速かつ安定な駆動を行うことが可能な消去アドレスによるPDPの駆動方法を提供するものである。

【0016】

【課題を解決するための手段】この発明は、放電セル（画素）をマトリクス状に配列してなるプラズマディスプレイパネルの駆動方法であって、前回サステイン放電された放電セルについてはサステイン放電時の電荷をそのまま残し、前回サステイン放電されなかった放電セルについては新たな電荷を形成してその電荷量を調整する

ことにより1画面または1ブロックの全放電セルに均一な電荷を形成し、その後、表示したくない放電セルの電荷を除去するためのアドレス放電を行ってから、電荷の残された表示したい放電セルに対するサステイン放電を行うことを特徴とするプラズマディスプレイパネルの駆動方法である。

【0017】この発明によれば、1画面または1画面内の1ブロックを構成する放電セル群全てに均一な電荷を形成した後、アドレスによる放電によって、表示したくない放電セルの電荷を除去するようにしたので、そのアドレス放電において、電荷の種火効果を積極的に利用することができ、これにより、安定した低電圧駆動が可能となるとともに、アドレス放電に要する期間の短縮化を図ることができ、高速駆動が可能となる。

【0018】

【発明の実施の形態】この発明において、サステイン電極としては、ITO等の透明導電膜を適用することができる。アドレス電極としては、Cr/Cu/Cr等の金属導電膜を適用することができる。

【0019】この発明のプラズマディスプレイパネルの駆動方法においては、1画面（または1ブロック）の全放電セルに均一な電荷を形成するに際しては、全放電セルに対して、サステイン電極対に、維持電圧を印加した後、書込み電圧を印加し、その後再び維持電圧を印加し、それによって前回サステイン放電された放電セル（オン状態の放電セル）については電荷の極性をあかじめ反転させておき、その後の書込み放電を抑止することによりサステイン放電時の電荷をそのまま残し、前回サステイン放電されなかった放電セル（オフ状態の放電セル）についてはサステイン電極対での書込み放電により新たな電荷を形成し、その後のサステイン放電により電荷量を調整するように制御することが望ましく、これにより全放電セルに均一な電荷を形成することができる。

【0020】この場合、前回サステイン放電されなかった放電セル（オフ状態の放電セル）に新たな電荷を形成し、その後その電荷量を調整するに際しては、前回サステイン放電されなかった放電セルにサステイン電極対で書込み放電を行わせて新たな電荷を形成した後、アドレス電極とサステイン電極の電位をゼロにして自己消去放電を行わせ、その自己消去放電が終了しない間にサステイン放電を行わせるようにすることが望ましい。

【0021】上記において、自己消去放電が終了しない間に行わせるサステイン放電は、サステイン電極対にサステイン放電用の電圧を印加し、その後、印加した電圧の電位を徐々に下げてアドレス放電に移行させるようにすることが望ましい。

【0022】また、前回サステイン放電されなかった放電セル（オフ状態の放電セル）にサステイン電極対で書込み放電を行わせて新たな電荷を形成するに際しては、加算した実効値が書込み放電可能な電圧となるような、

プラス極性とマイナス極性の電圧をサスティン電極対に印加するように制御することが望ましい。

【0023】この場合、電圧印加後、プラス極性の電圧のみを徐々にゼロ電位まで下げるようにしてもよく、あるいはマイナス極性の電圧のみを徐々にゼロ電位まで上げるようにしてもよく、またあるいはプラス極性とマイナス極性の双方の電圧を徐々にゼロ電位にするようにしてもよい。

【0024】上述したサスティン電極対で書き込み放電を行わせるに際しては、プラス極性とマイナス極性の電圧をサスティン電極対に印加するかわりに、サスティン放電用の電圧の約2倍の電圧をサスティン電極のいずれか一方から印加し、かつアドレス電極との放電を防止するためにアドレス電極の電位を上昇させておくようにしてもよい。

【0025】また、上記において、前回サスティン放電されなかった放電セル（オフ状態の放電セル）にサスティン電極対で書き込み放電を行わせて新たな電荷を形成するに際しては、サスティン電極対に書き込み放電可能な電圧をいったん印加した後、所定の電圧をさらに加えて2段階で電圧を印加するように制御することが望ましい。これにより、低電圧で放電可能な放電セルの放電強度に影響を与えることなく、放電確率を高めることができる。

【0026】あるいは、前回サスティン放電されなかった放電セル（オフ状態の放電セル）にサスティン電極対で書き込み放電を行わせて新たな電荷を形成するに際しては、電位を徐々に上げながらサスティン電極対に書き込み放電可能な電圧を印加するようにしてもよく、これにより、放電電圧に応じて放電セルが順次放電するようになるので、放電強度を弱めて、コントラストの向上を図ることができる。

【0027】

【実施例】以下、図面に示す実施例に基づいてこの発明を詳述する。なお、これによってこの発明が限定されるものではない。

【0028】本発明では、書き込み駆動法の弱点を解決すべく、空間電荷や壁電荷のプライミング効果を積極的に利用する消去アドレス駆動法に着目した。従来では、パネル内の放電セルのバラツキによって壁電荷を均等に形成することができなかったため、消去アドレス駆動法が敬遠されてきたが、本発明では、3電極面放電型の各電極のバランスを考え、自己消去放電や鈍波を利用して、壁電荷をパネル内の全放電セルに均等に形成するようにしている。空間電荷や壁電荷を利用するため、本発明の消去アドレスによるPDPの駆動方法では、高速でかつ安定した低電圧駆動が可能である。

【0029】図1は本発明に係るプラズマ表示装置100の構成図である。プラズマ表示装置100は、マトリクス形式のカラー表示デバイスであるAC型のPDP1

と、画面（スクリーン）SCを構成する多数のセルCを選択的に点灯させるための駆動ユニット80とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0030】PDP1は、対をなす第1及び第2の主電極としてのサスティン電極X、Yが平行配置され、各セルCにおいてサスティン電極X、Yと第3の電極としてのアドレス電極Aとが交差する3電極面放電構造のPDPである。サスティン電極X、Yは画面の行方向（水平方向）に延び、一方のサスティン電極Yはアドレッシングに際して行単位にセルを選択するためのスキヤン電極として用いられる。アドレス電極Aは列方向（垂直方向）に延びており、列単位にセルを選択するためのデータ電極として用いられる。サスティン電極群とアドレス電極群とが交差する領域が表示領域、すなわち画面SCである。

【0031】駆動ユニット80は、コントローラ81、フレームメモリ82、データ処理回路83、サブフレームメモリ84、電源回路85、Xドライバ87、Yドライバ88、及びアドレスドライバ89を有している。駆動ユニット80にはコンピュータ、TVチューナなどの外部装置からR、G、Bの各色の輝度レベル（階調レベル）を示す画素単位のフレームデータDfが、各種の同期信号とともに入力される。

【0032】フレームデータDfは、フレームメモリ82に一旦格納された後、データ処理回路83へ送られる。データ処理回路83は、点灯させるサブフレームの組合せを設定するデータ変換手段であり、フレームデータDfに応じたサブフレームデータDs fを出力する。サブフレームデータDs fはサブフレームメモリ84に格納される。サブフレームデータDs fの各ビットの値は、サブフレームにおけるセルの点灯の要否を示す情報である。

【0033】Xドライバ回路87はサスティン電極Xに駆動電圧を印加し、Yドライバ回路88はサスティン電極Yに駆動電圧を印加する。アドレスドライバ回路89は、サブフレームデータDs fに応じてアドレス電極Aに駆動電圧を印加する。これらドライバ回路には電源回路85から所定の電力が供給される。

【0034】図2はPDP1の内部構造を示す斜視図である。PDP1では、前面側のガラス基板11の内面に、マトリクス画面における水平方向のセル列である行L毎に一对ずつサスティン電極X、Yが配列されている。サスティン電極X、Yは、表示のための主電極となるもので、それぞれが透明導電膜41と金属膜（バスター）42とからなり、低融点ガラスからなる厚さ30 $\mu$ m程度の誘電体層17で被覆されている。誘電体層17の表面にはマグネシア（MgO）からなる厚さ数千オングストロームの保護膜18が設けられている。アドレス電極Aは、背面側のガラス基板21の内面を覆う下地層



22の上に配列されており、厚さ10 $\mu$ m程度の誘電体層24によって被覆されている。誘電体層24の上には、高さ150 $\mu$ mの平面視直線帯状の隔壁29が、各アドレス電極Aの間に1つつ設けられている。これらの隔壁29によって放電空間30が行方向にサブピクセル(単位発光領域)毎に区画され、且つ放電空間30の間隔寸法が規定されている。そして、アドレス電極Aの上方及び隔壁29の側面を含めて背面側の壁面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28Bが設けられている。3色の配置パターンは、1列のセルの発光色が同一で且つ隣接する列どうしの発光色が異なるストライプパターンである。

【0035】なお、隔壁形成に際しては、コントラストを高めるために頂上部を暗色に着色し、他の部分を白色に着色して可視光の反射率を高めるのが望ましい。着色は材料のガラスペーストに所定色の顔料を添加することにより行う。

【0036】放電空間30には主成分のネオンにキセノンを混合した放電ガスが充填されており(封入圧力は500 Torr)、蛍光体層28R、28G、28Bは放電時にキセノンが放つ紫外線によって局部的に励起されて発光する。表示の1ピクセル(画素)は行方向に並ぶ3個のサブピクセルで構成され、各列内のサブピクセルの発光色は同一である。各サブピクセル内の構造体がセル(表示素子)である。隔壁29の配置パターンがストライプパターンであることから、放電空間30のうちの各列に対応した部分は全ての行Lに跨がって列方向に連続している。そのため、隣接する行Lどうしの電極間隙(逆スリットと呼ばれる)の寸法は各行Lの面放電ギャップ(例えば80~140 $\mu$ mの範囲内の値)より十分に大きく、列方向の放電結合を防ぐことのできる値(例えば400~500 $\mu$ mの範囲内の値)に選定されている。なお、逆スリットには非発光の白っぽい蛍光体層を隠す目的で、ガラス基板11の外側面又は内側面に図示しない遮光膜が設けられる。

【0037】図3は上記カラー表示用AC駆動形式の3電極面放電型PDPの電極配置を示す説明図である。この図に示すように、カラー表示用AC駆動形式の3電極面放電型PDPでは、各サブピクセルに、対となるサステイン電極Xおよびサステイン電極Y<sub>n</sub>(nは正の整数、以下単にサステイン電極Yとも記す)と、これに直交するアドレス電極A<sub>n</sub>(nは正の整数、以下単にアドレス電極Aとも記す)との3種類の電極を配置しており、一方のサステイン電極Y<sub>n</sub>とアドレス電極A<sub>n</sub>との交点にアドレス放電セルA<sub>s</sub>、サステイン電極XとYとの間でサステイン放電セルD<sub>s</sub>をそれぞれ形成している。

【0038】サステイン放電に使用されるサステイン電極X、Yの内、サステイン電極Xは、共通に結線されて集中ドライバで駆動される。もう一方のサステイン電極

Yは、サステイン放電に使用されるとともに、情報を書込むときのスキャン電極としても使用される。アドレス電極Aは、情報を書込むときのアドレス放電にのみ使用される。

【0039】アドレス時には選択された1本のスキャン電極(サステイン電極Y)とアドレス電極Aとで画定されるアドレス放電セルにアドレス放電が発生するが、アドレス電極Aには同時に1セル分の放電電流しか流れない。また、このときの電圧は、スキャン電極との組み合わせで決まる。

【0040】このAC駆動形式の3電極面放電型PDPでは、ADS(Address and Display periods Separate)サブフィールド法と呼ばれる階調駆動法により、8ビットの高階調表示が可能である。

【0041】図4はADSサブフィールド法の表示方法を示す説明図である。この図に示すように、この階調駆動法では、1フィールドを複数のサブフィールド(SF)に分割し、その1SFをアドレス期間とサステイン期間とに分離した駆動が行われる。

【0042】通常、テレビ表示等に用いられるNTSC方式では、1秒間に30フレームの画像が形成され、1ラインおきのインターレース走査により、1フレームが2フィールドからなるので、1秒間に60フィールドの画面が形成される。

【0043】したがって、このADSサブフィールド法では、1秒間を60個のフィールドで構成する(1フィールド=16.7ms)。さらに1フィールドをSF1~SF8までの8つのSFに分け、各SF毎にアドレス期間とサステイン期間を設けてそれぞれアドレス放電とサステイン放電を行い、各SFのサステイン放電における輝度の相対比が、例えば1:2:4:8:16:32:64:128になるように、サステイン電極X、Y間で画定される表示セルの放電回数を設定している。

【0044】アドレス期間にサステイン電極Yとアドレス電極Aとの間に印加される電圧、およびサステイン期間にサステイン電極Xとサステイン電極Yとの間に印加される電圧は、いずれも波形が矩形の電圧(パルス電圧)であり、上記サステイン電極X、Yの放電回数とは、サステインパルス数を意味する。

【0045】このようにして、各SFの点灯、非点灯を表示輝度のデータにしたがってコントロールし、8つのSFの組み合わせで256段階の輝度を有する高階調表示を実現する。

【0046】この階調駆動法では、上述したように、SFを1画面にわたり時間的に共通のアドレス期間とサステイン期間に分離している。そして、消去アドレス駆動法を用いているため、以下のような駆動を行っている。

【0047】すなわち、アドレス期間の最初にアドレス準備期間を設け、このアドレス準備期間に、1画面を構成する全てのセルに所定の壁電荷を形成する。このた

め、前SFで点灯した（サスティン放電した）いわゆるオン状態のセルの壁電荷はそのまま維持し、前SFで非点灯だった（サスティン放電しなかった）いわゆるオフ状態のセルにのみ新たな壁電荷を形成する。

【0048】そして、アドレス期間で、表示データにしたがって1ラインごとにスキャンし、表示したくないセルすなわち非選択セル（消去セルまたは非表示セル）のみにアドレス放電を行わせて、非選択セルだけ前記壁電荷を消去する。

【0049】その後、サスティン期間で、1画面の全てのセルに同時にサスティンパルス（維持パルス）を印加して、壁電荷が形成されている表示したいセルすなわち選択セルに放電を持続させて表示を行う。このサスティン放電については、第1回目のサスティン放電を除いては、従来公知の書込みアドレス駆動法と同じサスティンパルスを用いることができる。

【0050】上述の消去アドレス駆動法であれば、アドレス期間に印加するパルスの幅を狭くすることができるため、1ラインあたり1.5 $\mu$ sという非常に短いアドレスパルス幅での駆動が可能である。

【0051】このように、消去アドレス駆動法では、各SFの始めに壁電荷を1画面全体に均一に形成する必要がある。ところで、理想的な壁電荷の形成状態はサスティン放電によってサスティン電極Xとサスティン電極Yとの両サスティン電極上に形成されたものであると考えられる。

【0052】そのため、この消去アドレス駆動法では、前SFで点灯した放電セル（オン状態の放電セル）の残留電荷を積極的に利用する。つまり、上述したように、前SFでサスティン放電したセルの壁電荷をそのまま維持し、非点灯だった放電セル（オフ状態の放電セル）にのみ新たな壁電荷を形成する。

【0053】すなわち、アドレス準備期間で1画面を構成する放電セルの全てに均一な壁電荷を形成した後、アドレス期間で非選択セル（表示したくないセル）にのみアドレス放電を生じさせる。このアドレス放電により当該非選択セル上に蓄積されていた壁電荷が消去され、サスティン期間でのサスティン放電ができなくなる。

【0054】消去アドレス駆動法による具体的な各電極への印加電圧パルス波形を図5に示し、電圧パルスを印加したときの発光パルスとそのタイミングを図6に示し、各電圧パルスを印加したときの電荷モデルを図7に示す。

【0055】これらの図に基づいて、アドレス電極Aへの印加電圧波形、サスティン電極Xへの印加電圧波形、サスティン電極Yへの印加電圧波形を、アドレス準備期間、アドレス期間、サスティン期間（表示期間）に分けてそれぞれ説明する。

【0056】各段階での、前SF点灯セル（前SFでオン状態のセル）と、前SF非点灯セル（前SFでオフ状

態のセル）の説明については、図7のアドレス電極A、サスティン電極X、サスティン電極Yの各壁電荷を示す電荷モデルを参照することにより理解が容易となる。

【0057】パルスの印加電圧は、それぞれ以下の値とする。

- ・Va: 50~140V、好ましくは60V
- ・Vs: 150~190V、好ましくは170V
- ・Vxw: 10~50V、好ましくは15V
- ・Vy: 40~120V、好ましくは60V
- ・Vyw: 150~190V、好ましくは170V (Vxw=Vs)
- ・Vsc: 0~80V、好ましくは60V

【0058】アドレス準備（電荷形成）期間

①電荷反転用のパルス（図中①のパルス）印加

この電荷反転用のパルス（電荷反転パルス）は、前SF点灯セルだけが放電できるような低い電圧を印加して、前SF点灯セルの壁電荷の極性を逆にしておき、これにより、後の書込み放電用のパルス印加時に、前SF非点灯セルにだけ書込み放電（新たな壁電荷の形成）が起こるようにするためのものである。

【0059】電荷反転パルスのパルス幅は、多量な壁電荷が形成できるように、サスティン放電（維持放電）のサスティンパルスの幅より長く、3~12 $\mu$ sの範囲、好ましくは8 $\mu$ sである。また、電荷反転パルスの波高値は、サスティンパルスの波高値Vsと同じか、またはそれ以上であることが望ましい。

【0060】このとき、サスティン電極Xとアドレス電極Aとの間の放電を防ぐため、アドレス電極Aには波高値Vaの電圧パルスを印加しておく。この電圧パルスVaのパルス幅は電荷反転パルス以上であることが望ましい。

【0061】・前SF点灯セル：サスティン電極Xに印加する電荷反転パルスは、基本的にサスティンパルスであるため、前SFでサスティン放電したセル（オン状態のセル）のみ放電を開始することができる。

・前SF非点灯セル：前SFで非点灯だったセル（オフ状態のセル）は壁電荷がないため、セル内の実効電圧が放電開始電圧Vfxy1よりも低く、これにより放電できない。

【0062】②書込み放電用のパルス（図中②のパルス）印加

この書込み放電用のパルス（書込みパルス）は、前SF非点灯セルに書込み放電を起こさせて、前SF非点灯セルに新たな壁電荷を形成するためのものであり、両サスティン電極X、Yにそれぞれ+、-の極性の書込みパルスを印加する。この書込みパルスのパルス幅は、放電確率を高めるため、4 $\mu$ s以上とし、特に8~16 $\mu$ sの範囲に設定することが望ましい。本実施例では12 $\mu$ sとした。書込みパルスの波高値は、+方向と-方向について、それぞれサスティンパルスと同じ程度にすること



が望ましいが、サスティン電極X、Y間の電位差がサスティンパルスの2倍程度であれば、+方向と一方について波高値は異なってもよい。

【0063】この書込みパルスは、通常の放電セルの放電強度に影響を与えることなく、放電確率の低いセルも確実に放電させるため、パルスが立ち上がって1 $\mu$ s程度経過してから、サスティン電極Xとサスティン電極Yのいずれか一方に10～50V程度の電圧 $V_{xw}$ を加える。本実施例では、サスティン電極Xに対して15Vを加えた。

【0064】この書込みパルス印加時には、サスティン電極X、Yとアドレス電極Aとの間の放電を防ぐため、アドレス電極AはGNDにしておく。この書込みパルス印加直後は、サスティン電極X、Yとアドレス電極Aの3電極を全てGNDにし、自己消去放電を起こさせる。

【0065】・前SF点灯セル：前の段階の電荷反転パルスによってセル内に書込み放電用の逆極性の壁電荷が形成されているため、書込みパルスの印加電圧と壁電圧が相殺され、放電しない。

【0066】・前SF非点灯セル：セル内の実効電圧は $(V_s + V_{yw}) > V_{fxy1}$ となるので、放電が開始される。この場合、上述したように、全セルが放電できるように、通常の放電セルでは書込みパルスが立ち上がってから1 $\mu$ s以内に放電が完了することに着目し、約1 $\mu$ s経過後に、サスティン電極Xにだけ15Vの電圧を加えて、印加電圧を $V_{xw}$ とする。これで通常の放電セルの放電強度に影響を与えることなく、何らかの原因で放電できなかったセルの放電確率を高める。また、パルス幅を広くして、多量の壁電荷を形成し、かつ低温等によって放電確率が低下しても確実に書込み放電ができるようにする。

【0067】③壁電荷形成用のパルス（図中③のパルス）印加

この段階以前では、前SF点灯セルには電荷反転パルスで壁電荷が形成されており、前SF非点灯セルには書込みパルスで壁電荷が形成されている。このため、前SF点灯セルに形成された壁電荷と前SF非点灯セルに形成された壁電荷とは、極性は同じであっても、その量が異なる（前SF非点灯セルのほうが壁電荷の量が多い）。

【0068】したがって、この壁電荷形成用のパルス（電荷形成パルス）は、前SF点灯セルと前SF非点灯セルとの壁電荷の量を同じにし、均一な量の壁電荷を全セルに対して形成させるためのものである。

【0069】この段階では、前の段階の書込み放電終了後、サスティン電極X、Yとアドレス電極Aの3電極を全てGNDにする期間をも含めて、1.0 $\mu$ s以内、望ましくは0.5～0.8 $\mu$ s経過後、消去アドレス放電に用いる片方のサスティン電極（スキャン電極）Yに電圧パルスを立ち上げらせ、自己消去放電を強制的に止めさせ、放電空間中の空間電荷を引き寄せて、壁電荷を形

成する。したがって、前SF点灯セルについてもここで再び放電が行われ、壁電荷が形成される。

【0070】この電荷形成パルスのパルス幅は、確実に壁電荷を形成させるため、3 $\mu$ s以上とし、特に4～12 $\mu$ sの範囲に設定することが望ましい。また、電荷形成パルスの波高値は、サスティンパルスの波高値 $V_s$ と同じか、またはそれ以上であることが望ましい。

【0071】また、この電荷形成パルスは、適正な壁電荷の量を形成するため、電圧パルスの波形を鈍波にする。具体的には、電圧パルスの立ち下がりには、40～120 $\mu$ s、好ましくは80 $\mu$ sの時間をかけて徐々に電圧を下げ、波高値 $V_s$ を波高値 $-V_y$ にする。この電荷形成パルス印加時には、アドレス電極AはGNDにしておく。

【0072】・前SF点灯セル：セル内の壁電荷と同極性の電圧パルスが印加されるので、再び放電する。ただし、アドレス電極A上の誘電体層にも壁電荷が形成されるようにするため、アドレス電極AをGNDにし、サスティン電極Yとアドレス電極A間でプライミング放電させてから、サスティン電極Yとサスティン電極X間で放電を発生させる。このため、アドレス電極Aには+極性の電荷が形成される。サスティン電極Xとサスティン電極Y上の誘電体層には均一な壁電荷が形成される。

【0073】・前SF非点灯セル：前の段階の書込みパルスの印加終了後、約0.8 $\mu$ s経過してから電荷形成パルスを立ち上げる。これにより、書込みパルスの印加が終了し、3電極全てがGNDになると、書込み放電によってできた壁電荷が自己消去放電を開始するが、この自己消去放電が完全に終了しないタイミングで、電荷形成パルスが立ち上がるので、自己消去放電が強制的に止められ、放電空間に多量の空間電荷が残される。この空間電荷は、壁電荷形成パルスによって、各電極上に壁電荷として形成される。このようにして、書込み放電によって生成された多量の壁電荷を自己消去放電させ、余分な電荷を消してから、再形成する手法で、サスティン電極Xとサスティン電極Yに均一な壁電荷を形成する。

【0074】アドレス期間（消去アドレス放電：非選択セルの電荷消去）

④消去アドレス放電用のパルス（図中④のパルス）印加  
この消去アドレス放電用のパルス（アドレス電極に印加のアドレスパルスとスキャン電極に印加のスキャンパルスとの合成パルス）の印加により、非選択セルのみにアドレス放電が行われて、蓄積された壁電荷が消去され、後のサスティン放電ができなくなる。

【0075】この消去アドレス放電用パルスを印加する前の段階までに、全てのサスティン電極X、Yおよびアドレス電極Aの誘電体層上には、この消去アドレス放電用パルスと同極性の壁電荷が形成されており、消去アドレス放電用パルス印加時には、その印加電圧と壁電圧とが足し合わせられるので、消去アドレス放電用パルスの

印加電圧を低く抑えることができる。また、このように、壁電荷のアライミング効果を利用することができ、新たに壁電荷を形成する必要がないため、書込みアドレス駆動法と比較して、アドレス放電用のパルス幅を狭くすることができる。

【0076】なお、消去アドレス期間中、スキャン側のサスティン電極Yには蓄積された壁電荷と逆極性の電圧 $V_{sc}$ を印加しており、それによって半選択セル（アドレスパルスまたはスキャンパルスのいずれかが印加されている放電セル）での誤放電を防いでいる。

【0077】すなわち、前SFの階調が重い（サスティン期間が長い）時やパネル温度の上昇で、アドレス期間中に半選択状態がある程度続いたセルは、その期間中に微弱な誤放電を起こし、スキャン時に十分な消去放電が行われない原因となる。したがって選択セルが余剰点灯してしまうという問題が生じる。しかし、このアドレス期間中（好ましくは壁電荷形成パルスによってスキャン側のサスティン電極Y上に壁電荷が形成された直後からアドレス期間終了まで）に、前記した電圧、すなわち当該サスティン電極Y上に蓄積された負の壁電荷と逆極性（アドレス電圧と同極性）の正の電圧 $V_{sc}$ をスキャン側の全てのサスティン電極Yに印加しておくことで、アドレス電極Aとサスティン電極Y間の電位差を小さくし、当該半選択セルでの誤放電の発生を防ぐことができる次第である。

【0078】サスティン期間（サスティン放電）

⑥サスティン放電用のパルス（図中⑥のパルス）印加消去アドレス放電（消去放電）されなかったセルは、サスティン放電を発生させるのに十分な壁電荷が形成されているため、スムーズにサスティン放電に移行できる。このサスティン放電用のパルス（サスティンパルス）としては、波高値 $V_s$ の電圧パルスを印加する。サスティンパルスのパルス幅は、1～12 $\mu s$ の範囲、好ましくは3 $\mu s$ である。

【0079】このサスティンパルスの印加に際しては、隣接セルの消去放電等によって空間電荷が飛来することがあり、この空間電荷の飛来等によって再結合されて消滅した壁電荷の量を補うために、サスティン放電の第1回目だけは、波高値 $V_s$ に10～40Vの電圧を加えたものを印加する。この第1回目のサスティンパルスのパルス幅は4～16 $\mu s$ とすることが望ましい。

【0080】図8および図9は書込みパルスの変形例を示す説明図である。上記のアドレス準備期間において印加した書込みパルス（図中②のパルス）については、パルスが立ち上がって1 $\mu s$ 程度経過してから、サスティン電極Xとサスティン電極Yのいずれか一方に10～50V程度、好ましくは15Vの電圧を加えるようにしているが、この変形例の場合放電強度を下げるために、図8に示すように波形を鈍波にしている。

【0081】このように、書込みパルスの片方の電圧パ

ルスを鈍波にすると、放電しやすいセルはちょうど放電開始電圧で放電するようになるので、放電強度を弱くし、コントラストの向上（サスティン放電光と無関係な放電光を弱くするため）を図ることができる。本実施例では、サスティン電極Xだけを鈍波にしているが、サスティン電極Yを鈍波にしてもよく、あるいはサスティン電極X、Yの双方を鈍波にしてもよい。

【0082】また、上記のアドレス準備期間において印加した書込みパルスについては、両サスティン電極X、Yにそれぞれ+、-の極性の電圧パルスを印加するようにしているが、上述したように、サスティン電極X、Y間の電位差がサスティンパルスの2倍程度であれば、+方向と-方向についての波高値は異なっているがよい。例えば、図9に示すように、サスティン電極Xにだけ、電荷反転パルスと同極性で、サスティンパルスの波高値 $V_s$ の2倍の波高値の電圧パルスを印加するようにしてもよい。

【0083】このように、書込みパルスについては、+、-極性の複雑な電圧波形を避けて、サスティン電極YをGNDにし、サスティン電極Xにのみ $2 \times V_s$ に相当する電圧パルスを印加するようにしてもよい。ただし、このような波高値 $2 \times V_s$ の電圧パルスを印加する場合には、サスティン電極Xとアドレス電極A間に放電が発生しないように、アドレス電極Aに、書込みパルスと同極性の50～180Vに相当する電圧パルスを加えておく。

【0084】図10および図11は書込みパルスと電荷形成パルスの時間差を示す説明図であり、図10は書込みパルスとして+と-極性の電圧パルスを印加したものを示し、図11は書込みパルスとして $2 \times V_s$ の電圧パルスを印加したものを示す。

【0085】これらの図に示すように、電荷形成パルスの印加に際しては、書込み放電終了後、蓄積された壁電荷による自己消去放電を起こさせる。そして、サスティン電極X、Yおよびアドレス電極Aの3電極を全てGNDにする期間をも含めて、1.0 $\mu s$ 以内に、アドレス放電に用いる片方のサスティン電極Y（スキャン電極）に電圧パルスを立ち上げらせ、自己消去放電を強制的に止める。このようにすることにより、放電空間中に放出された空間電荷を印加電圧パルスによって各電極上に引き寄せて、壁電荷として形成する。

【0086】図12はサスティン電極Xとサスティン電極Yに印加された電荷形成パルスの波形とセルの発光パルスの測定結果を示すグラフである。図において、縦軸は印加電圧を示し、1ブロックの目盛りの値は100Vである。また、横軸は時間を示し、1ブロックの目盛りの値は0.5 $\mu s$ である。

【0087】この図に示すように、サスティン電極Xとサスティン電極Yには電荷形成パルスが印加され、その時、前SF非点灯セルは、自己消去と電荷形成放電によ

り発光パルスPで示すように発光する。

【0088】図13、図14および図15は書込みパルスの他の変形例を示す説明図である。上記のアドレス準備期間において印加した書込みパルス（図中のパルス）については、両サスティン電極X、Yにそれぞれ+と-の極性の電圧パルスを印加し、その後サスティン電極Xとサスティン電極Yとを一気にGNDにして、自己消去放電が生じるようにしているが、書込み放電終了後、3電極を全てGNDにしても、自己消去放電が生じないようにすることもできる。

【0089】このように自己消去放電が生じないようにするためには、書込みパルスの+極性の電圧パルス、あるいは一極性の電圧パルス、あるいは両極性の電圧パルスを鈍波にし、壁電荷を少しずつ減らしながら、+極性の電圧パルスの場合はゆっくりと下げ、-極性の電圧パルスの場合はゆっくりと上げるようにする。

【0090】図13は書込みパルスの+極性の電圧パルスを鈍波にした例を示し、図14は一極性の電圧パルスを鈍波にした例を示し、図15は両極性の電圧パルスを鈍波にした例を示している。

【0091】このような書込みパルスを印加した後、+極性の電圧パルスを鈍波にした場合は+極性の鈍波がGNDになるタイミングで、-極性の電圧パルスを鈍波にした場合は-極性の鈍波がGNDになるタイミングで、両極性の電圧パルスを鈍波にした場合は両極性の鈍波がちょうどGNDになるタイミングで、それぞれアドレス放電に用いる片方のサスティン電極（スキャン電極）Yに電荷形成パルスを印加し、全セルに放電を行わせ、均一な壁電荷を形成する。

【0092】この場合に印加する電荷形成パルスの波高値は、サスティンパルスの波高値より低くてもよく、140～200Vの範囲の電圧を印加することが望ましい。また、電荷形成パルスのパルス幅は、確実に壁電荷を形成させるため、3μs以上にすることが望ましい。この電荷形成パルス印加時には、上述したように、アドレス電極AはGNDにしておく。

【0093】このようにして、アドレス準備期間に表示のための均一な壁電荷を全セルに形成することにより、後の消去のためのアドレス放電において、アドレスパルスの印加電圧を低く抑えることができ、さらにパルス幅も狭くすることができる。これにより、高速かつ安定な駆動が可能となる。

【0094】以上説明したように本発明の駆動方法は、一対の主電極が面放電ギャップを隔てて同一方向に延びる面放電構造のAC型PDPによる表示に際して、表示内容の更新毎に、前回の表示において点灯が維持されたオン状態の放電セル（前回点灯セル）のみで放電を生じさせて前記一対の主電極の間の壁電圧の極性を反転させる第1過程と、前記オンセル以外のオフ状態の放電セル（前回非点灯セル）のみで放電を生じさせて前記オンセ

ルと同一極性の壁電圧を生じさせる第2過程とからなる帯電分布の均一化を行うアドレスのためのアドレス準備処理に特徴を有するものである。

【0095】ここで、本発明のアドレス準備処理を含む消去アドレス動作について、テレビジョン映像を表示するための駆動シーケンスと共に再度図16を参照して説明する。

【0096】図16はフレーム構成と駆動シーケンスの概要とを示す図であって、テレビジョンの表示においては、2値の点灯制御によって階調再現を行うために、入力画像である時系列の各フレームF（符号の添字は表示順位を表す）を例えば8個のサブフレームsf1, sf2, sf3, sf4, sf5, sf6, sf7, sf8に分割する。言い換えれば、フレームFを8個のサブフレームsf1～sf8の集合に置き換える。ただし、NTSC形式のテレビジョンのようにインタレース形式で走査された画像を再生する場合には、各フィールドを8分割する。これらサブフレームsf1～sf8における輝度の相対比率が1:2:4:8:16:32:64:128となるように重み付けをして各サブフレームsf1～sf8のサスティンの発光回数を設定する。サブフレーム単位の点灯/非点灯の組合せでRGBの各色毎に256段階の輝度設定を行うことができるので、表示可能な色の数は256<sup>3</sup>となる。なお、サブフレームsf1～sf8を輝度の重みの順に表示する必要はない。例えば重みの大きいサブフレームsf8をサスティン期間の中間に配置するといった最適化を行うことができる。

【0097】各サブフレームsf1～sf8に割り当てるサブフレーム期間Ts fは、画面全体を均一に帯電させるアドレス準備のためのアドレス準備期間TR、消去形式でアドレッシング（点灯/非点灯の設定）を行うアドレス期間TA、及び階調レベルに応じた輝度を確保するために点灯状態を維持するサスティン期間TSからなる。

【0098】各サブフレーム期間Ts fにおいて、アドレス準備期間TR及びアドレス期間TAの長さは輝度の重みに関わらず一定であるが、サスティン期間TSの長さは輝度の重みが大きいほど長い。つまり、1つのフレームFに対応する8つのサブフレーム期間Ts fの長さは互いに異なる。

【0099】アドレス準備期間TRにおいては、サスティン電極Xに正極性の電圧パルス（電荷反転用パルス）Prを印加する第1過程と、サスティン電極Xに正極性の電圧パルス（書込み放電用パルス）Prxを印加し且つサスティン電極Yに負極性の電圧パルス（書込み放電用パルス）Pryを印加する第2過程とによって、1つ前のサブフレームにおいて点灯した前回点灯セル及び点灯しなかった前回非点灯セルに所定の極性の壁電荷が形成される。すなわち前回点灯セルの壁電荷を反転させた後、前回非点灯セルに点灯維持電圧の2倍程度の電圧を

印加して強制的に放電させる2段階のプロセスで全てのセルを均等に帯電させる。電圧パルス $P_{rx}$ 、 $P_{ry}$ を印加したとき前回点灯セルでは壁電荷が印加電圧を引き下げるので放電は生じない。なお、第1過程では、アドレス電極Aを正電位にバイアスし、アドレス電極Aとサスティン電極Xとの間の不要な放電を防止する。第2過程に続いて、帯電の均一性を高めるため、サスティン電極Yに正極性の電圧パルス $P_{rs}$ を印加して全てのセルで面放電を生じさせる。この面放電によって帯電極性(壁電荷の極性)は反転する。その後、電荷の消失を避けるため、サスティン電極Yの電位を緩やかに低減させる。

【0100】アドレス期間TAにおいては、先頭のラインから1ラインずつ順に各ラインを選択し、該当するサスティン電極(スキャン電極)Yに負極性のスキャンパルス $P_y$ を印加する。ラインの選択と同時に、非点灯とすべきセル(今回非点灯セル)に対応したアドレス電極Aに対して正極性のアドレスパルス $P_a$ を印加する。選択されたラインにおけるアドレスパルス $P_a$ の印加されたセルでは、サスティン電極Yとアドレス電極Aとの間で対向放電が起こって誘電体層17の壁電荷が消失する。アドレスパルス $P_a$ の印加時点ではサスティン電極Xの近傍には正極性の壁電荷が存在するので、その壁電圧でアドレスパルス $P_a$ が打ち消され、サスティン電極Xとアドレス電極Aとの間では放電は起きない。このような消去形式のアドレッシングは、書込み形式と違って電荷の再形成が不要であるので、高速化に適している。1ライン当たりのアドレス時間は $1.3\mu s$ 程度である。

【0101】サスティン期間TSにおいては、不要の放電を防止するために全てのアドレス電極Aを正極性の電位にバイアスし、最初に全てのサスティン電極Xに正極性のサスティンパルス $P_s2$ を印加する。その後、サスティン電極Yとサスティン電極Xに対して交互にサスティンパルス $P_s$ を印加する。サスティンパルス $P_s2$ 、 $P_s$ の印加によって、アドレス期間TAにおいて壁電荷の残されたセル(今回点灯セル)で表示用の面放電が生じる。なお、最初に印加するサスティンパルス $P_s2$ については、確実に面放電を生じさせるために、以降に印加するサスティンパルス $P_s$ よりも波高値を高くするのが望ましい。パルス幅を長くするのもサスティンの安定化に有効である。すなわち、スキャン周期×ライン数の時間(例えば $1.3\mu s \times 1024$ )を要するアドレッシングでの電荷の減少に対して配慮する。

【0102】なお、以上の実施例においては、AC駆動形式の3電極面放電型PDPの中でも、サスティン電極とアドレス電極とが前面側の基板と背面側の基板にそれぞれ形成された、いわゆる対向3電極タイプのPDPについて説明したが、前面側の基板と背面側の基板とのいずれか一方にサスティン電極とアドレス電極との双方が

形成された、いわゆる片側3電極タイプのPDPについても本駆動方法を適用することが可能である。

#### 【0103】

【発明の効果】この発明によれば、高速かつ安定な駆動が可能となり、これにより高表示品位、低消費電力、高信頼性のプラズマディスプレイパネルを得ることができる。

#### 【図面の簡単な説明】

【図1】本発明に係るプラズマ表示装置の構成図である。

【図2】PDPの内部構造を示す斜視図である。

【図3】AC駆動形式の3電極面放電型PDPの電極配置を示す説明図である。

【図4】ADSサブフィールド法を示す説明図である。

【図5】消去アドレス駆動法による具体的な各電極への印加電圧パルス波形を示す説明図である。

【図6】電圧パルスを印加したときの発光パルスとそのタイミングを示す説明図である。

【図7】各電圧パルスを印加したときの電荷モデルを示す説明図である。

【図8】書込みパルスを鈍波にした場合の変形例を示す説明図である。

【図9】書込みパルスを+極性のみにした場合の変形例を示す説明図である。

【図10】書込みパルスとして+と-極性の電圧パルスを印加した場合の書込みパルスと電荷形成パルスの時間差を示す説明図である。

【図11】書込みパルスとして $2 \times V_s$ の電圧パルスを印加した場合の書込みパルスと電荷形成パルスの時間差を示す説明図である。

【図12】サスティン電極Xとサスティン電極Yに印加された電荷形成パルスの波形とセルの発光パルスの測定結果を示すグラフである。

【図13】書込みパルスの+極性の電圧パルスを鈍波にした例を示す説明図である。

【図14】書込みパルスの-極性の電圧パルスを鈍波にした例を示す説明図である。

【図15】書込みパルスの+極性と-極性の両方の電圧パルスを鈍波にした例を示す説明図である。

【図16】テレビジョン表示に適用した例のフレーム構成と駆動シーケンスの概要とを示す図である。

#### 【符号の説明】

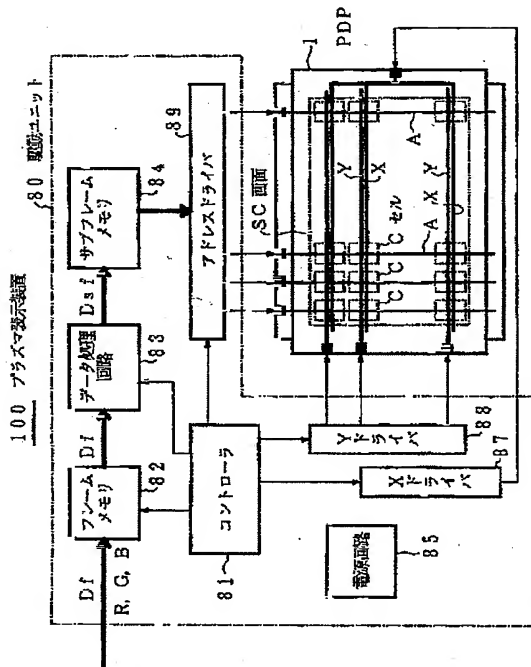
- 1 PDP
- 11 前面側のガラス基板
- 17 誘電体層
- 18 保護膜
- 21 背面側のガラス基板
- 22 下地層
- 24 誘電体層
- 28R, 28G, 28B 蛍光体層

- 29 隔壁
- 30 放電空間
- 41 透明導電膜
- 42 金属膜（バス導体）
- 80 駆動ユニット
- 81 コントローラ
- 82 フレームメモリ
- 83 データ処理回路
- 84 サブフレームメモリ

- 85 電源回路  
87 Xドライバ  
88 Yドライバ  
89 アドレスドライバ  
100 プラズマ表示装置  
A アドレス電極  
L 表示ライン  
X, Y サスティン電極

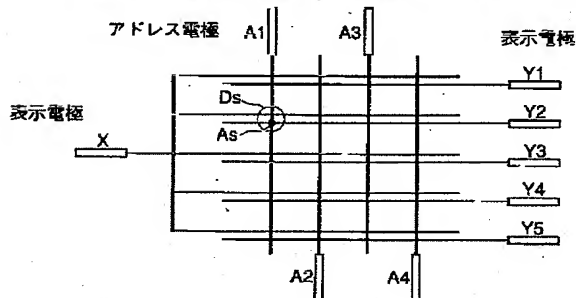
【図1】

本発明に係るプラズマ表示装置の構成図



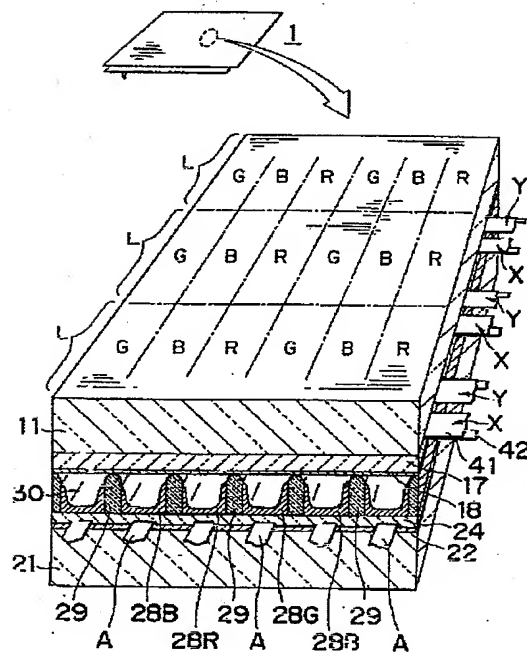
【図3】

AC駆動形式の3電極面放電型PDPの電極配置を示す説明図



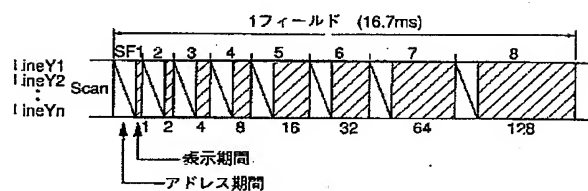
【図2】

PDPの内部構造を示す斜視図



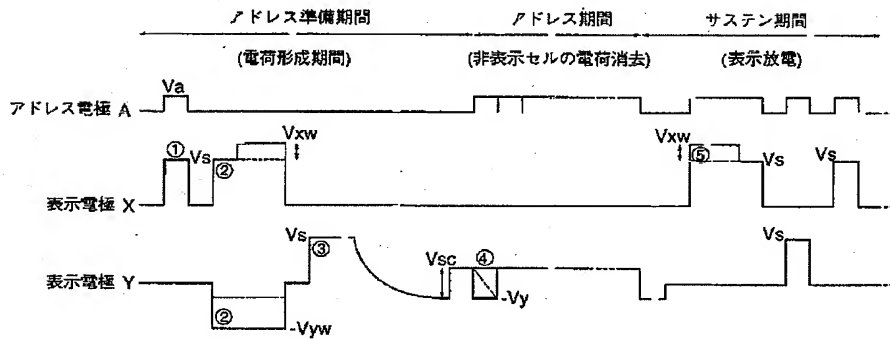
【図4】

ADSサブフィールド法の表示方法を示す説明図



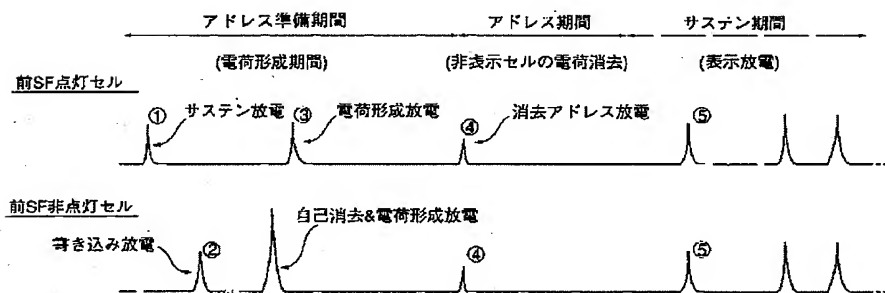
【図5】

消去アドレス駆動法による各電極への印加電圧パルス波形を示す説明図



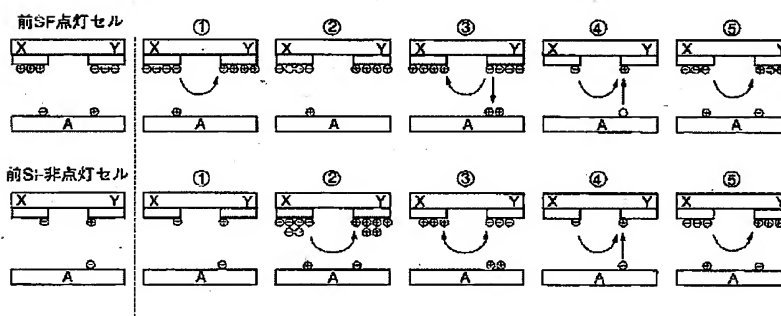
【図6】

電圧パルスを印加したときの発光パルスとそのタイミングを示す説明図



【図7】

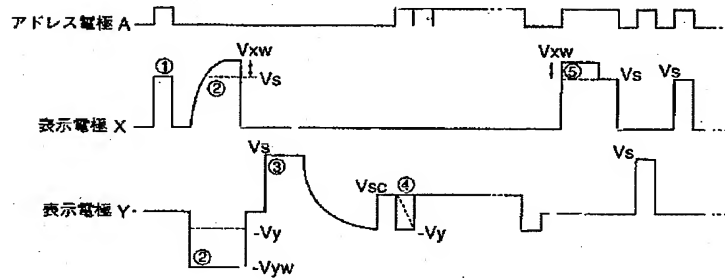
各電圧パルスを印加したときの電荷モデルを示す説明図





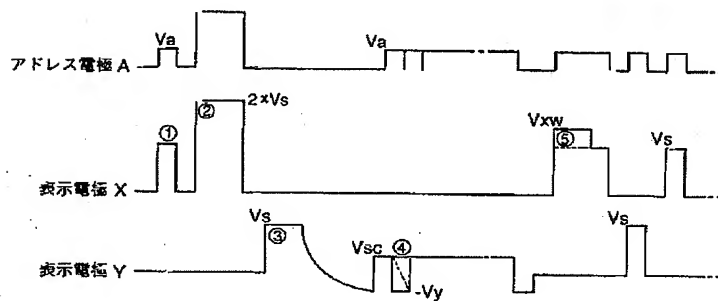
【図8】

書き込みパルスを鈍波にした場合の変形例を示す説明図



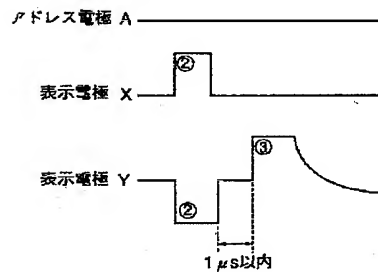
【図9】

書き込みパルスを正極性のみにした場合の変形例を示す説明図



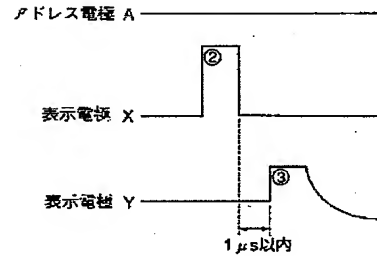
【図10】

書き込みパルスとして正と一極性の電圧パルスを印加した場合の書き込みパルスと電荷形成パルスの時間差を示す説明図



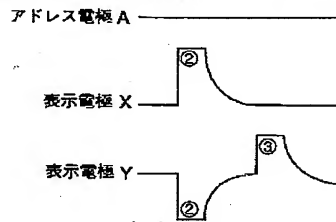
【図11】

書き込みパルスとして2xVsの電圧パルスを印加した場合の書き込みパルスと電荷形成パルスの時間差を示す説明図



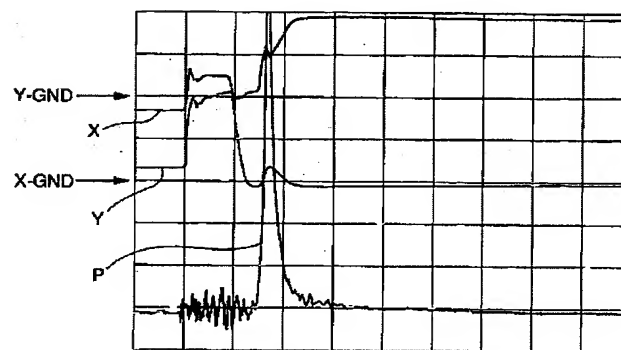
【図15】

書き込みパルスの正極性と一極性の両方の電圧パルスを鈍波にした例を示す説明図



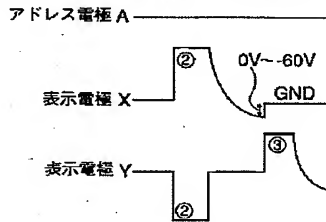
【図12】

表示電極Xと表示電極Yに印加された電荷形成パルスの波形とセルの発光パルスの測定結果を示すグラフ



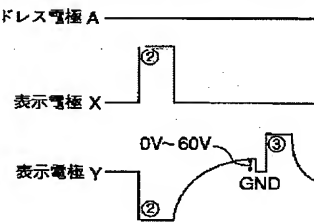
【図13】

書き込みパルスの+極性の電圧パルスを鈍波にした例を示す説明図



【図14】

書き込みパルスの-極性の電圧パルスを鈍波にした例を示す説明図



【図16】

テレビジョン表示に適用した例のフレーム構成と駆動シーケンスの概要とを示す図

